

CLIPPEDIMAGE= JP411215499A
PUB-NO: JP411215499A
DOCUMENT-IDENTIFIER: JP 11215499 A
TITLE: IMAGE CODER
PUBN-DATE: August 6, 1999
INVENTOR-INFORMATION:
NAME COUNTRY
FUJINO, YASUHIRO N/A
INT-CL_(IPC): H04N007/30; H04N001/41
ABSTRACT:

PROBLEM TO BE SOLVED: To maintain image quality high over an entire image, to make a code amount proper for each prescribed time interval and to attain high-speed processing with a small scale circuit.

SOLUTION: A bit shift circuit 29 shifts a quantization coefficient which is obtained by a quantization circuit 28a by shift bit numbers m1-m4 to provide an output of 4 sift signals in parallel. Code amount calculation circuit 40a-40d calculate a coding amount by one image pattern, when the four shift signals are variable length coded to provide an output of plural code amount evaluation values b1-b4. A scaling coefficient update circuit 42 sets a scaling coefficient k2 in response to the evaluation values b1-b4 and supplies it to the quantization circuit 28b. A VLC circuit 36e stops coding when a code amount by one pixel block exceeds a calculated upper limit value for each pixel block, based on a signal amount of a DCT coefficient at an upper limit calculation section 46.

COPYRIGHT: (C)1999,JPO

RES
RECEIVED OCT 9 2000

(51) Int.Cl.⁵

識別記号

F I

H 0 4 N 7/30

H 0 4 N 7/133

Z

1/41

1/41

B

審査請求 未請求 請求項の数 5 O L (全 16 頁)

(21) 出願番号 特願平10-14272

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(22) 出願日 平成10年(1998) 1月27日

(72) 発明者 藤野 康弘

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

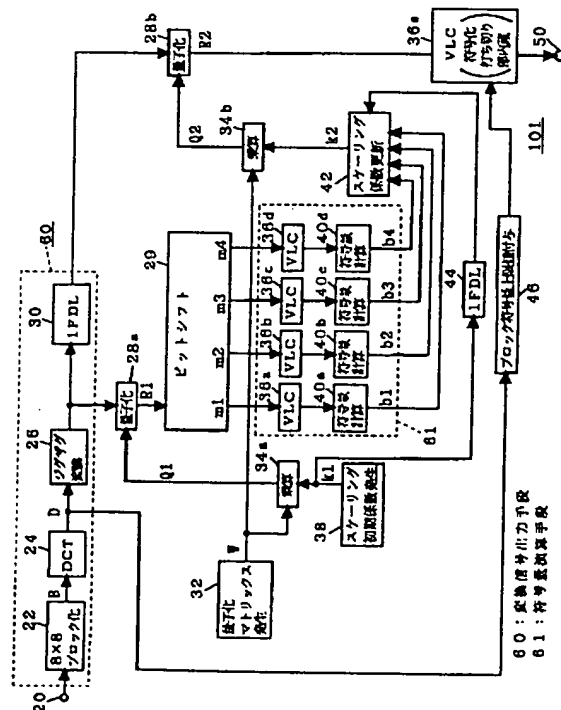
(74) 代理人 弁理士 吉田 茂明 (外 2 名)

(54) 【発明の名称】 画像符号化装置

(57) 【要約】

【課題】 1画面全体にわたって画質を高く維持し、かつ、所定時間毎の符号量を適正化することができ、しかも、小規模回路で高速に処理するのに適する。

【解決手段】 ビットシフト回路29は、量子化回路28aで得られた量子化係数をシフトビット数m1~m4だけシフトし、4個のシフト信号を並列に出力する。符号量計算回路40a~40dは、4個のシフト信号を可変長符号化した際の符号量を、1画面分だけ算出することにより、複数の符号量評価値b1~b4を出力する。スケーリング係数更新回路42は、評価値b1~b4に応じてスケーリング係数k2を設定し、量子化回路28bへ供給する。VLC回路36eは、1画素ブロックの符号量が、上限値算出部46でDCT係数の信号量にもとづいて画素ブロックごとに算出された上限値を超えると、符号化を打ち切る。



【特許請求の範囲】

【請求項1】 外部より入力された画像信号を、画面を分割して成る複数の画素ブロックの各々ごとに、周波数空間成分へと変換して得た第1変換信号、および当該第1変換信号に対し与えられた所定時間だけ遅延した第2変換信号を、並列に出力する変換信号出力手段と、量子化ステップを画面単位で制御する制御係数の初期値を用いて、前記第1変換信号を量子化することにより、第1量子化係数を得る第1量子化手段と、前記第1量子化係数を、与えられた複数種類のシフトビット数だけシフトし、複数のシフト信号を並列に出力するシフト手段と、前記複数のシフト信号が可変長符号化された際の符号量を、前記所定時間分だけ算出し、複数の符号量評価値としてそれぞれ出力する符号量演算手段と、前記複数の符号量評価値に応じて、前記符号量を与えられた目標符号量に近づけるため、前記制御係数を前記初期値より最適値に更新する係数更新手段と、前記係数更新手段で更新された前記制御係数を用いて、前記第2の変換信号を量子化することにより、第2量子化係数を得る第2量子化手段と、当該第2量子化係数に対して、可変長符号化を行うことにより、符号化信号を得る可変長符号化手段と、を備え、当該可変長符号化手段は、前記複数の画素ブロックの各々ごとに前記可変長符号化を行う中で、1個の画素ブロック分の前記符号化信号の符号量が、与えられた上限値を超えると、その画素ブロックについては、その時点で符号化を打ち切る画像符号化装置。

【請求項2】 請求項1に記載の画像符号化装置において、前記複数の画素ブロックの各々ごとに前記上限値を設定し、前記可変長符号化手段へと付与するブロック符号量上限値算出手段を、さらに備え、当該ブロック符号量上限値算出手段は、前記複数の画素ブロックごとに、前記第1変換信号の信号量を算出し、当該信号量が多ければ前記上限値を高く、逆に少なければ低く設定する画像符号化装置。

【請求項3】 請求項1または請求項2に記載の画像符号化装置において、前記第2量子化係数の中で、与えられた基準周波数よりも周波数の高い領域に存在する孤立係数に対しては、無効係数へ変更した上で、前記第2量子化係数を前記可変長符号化手段へと供給する孤立係数無視手段を、さらに備える画像符号化装置。

【請求項4】 請求項1ないし請求項3のいずれかに記載の画像符号化装置において、前記所定時間が、1画面周期であり、前記係数更新手段は、前記複数の符号量評価値の中から、前記目標符号量に最

も近い値の符号量評価値を検出し、検出された当該符号量評価値に対応する前記複数種類のシフトビット数の一つに相当する倍率の逆数を、前記初期値に乘じた値へと、前記制御係数を更新する画像符号化装置。

【請求項5】 請求項1ないし請求項3のいずれかに記載の画像符号化装置において、

前記所定時間が、1画面周期であり、

前記係数更新手段は、

前記複数種類のシフトビット数に相当する倍率の逆数を、それぞれ前記初期値に乘じて得られる複数の係数と、前記複数の符号量評価値との間を、近似的に規定する関数関係から、前記目標符号量に相当する係数を算出し、算出された当該係数へと前記制御係数を更新する画像符号化装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、画像符号化装置に関し、特に、入力された画像信号を、周波数空間成分への変換、量子化、および、可変長符号化を通じて、符号化する画像符号化装置に関する。

【0002】

【従来の技術】近年、マルチメディア化の進展にともない、画像のデジタル処理、特に、画像信号を圧縮するための高効率符号化技術が注目されており、カラー静止画像の符号化方式の国際標準機関として設立されたJPE G (Joint Photographic Expert Group) において、DCT符号化方式が国際標準として採用されている。以下において、この発明の背景となる、この種の符号化方式にもとづく従来の画像符号化装置について説明する。

【0003】図6は、DCT方式を用いた従来の画像符号化装置の一例を示すブロック図である。また、表1～表3は図6の装置の動作を説明するための表である。この従来装置151では、入力端子2を通じて、符号化の対象とされるデジタル画像信号が、外部から入力される。入力された画像信号は、ブロック化回路4に入力され、ここで二次元的に、 $8 \times 8 (=64)$ 画素からなる画素ブロックごとに分割される。ブロック化回路4は、この画素ブロック単位で、後段へと画像信号を送出する。

【0004】DCT回路6は、このブロック化回路4から送られた画像信号を離散コサイン変換(DCT)し、周波数空間における成分としての、 $8 \times 8 (=64)$ 個のDCT係数を出力する。すなわち、表1に示すような画像信号 $B_{11} \sim B_{88}$ からなる画素ブロックは、DCT回路6により、表2に示すような離散コサイン係数(DCT係数) $D_{11} \sim D_{88}$ を要素とするDCT係数マトリクスへと変換される。

【0005】

【表1】

3

B11	B12	B13	B14	B15	B16	B17	B18
B21	B22	B23	B24	B25	B26	B27	B28
B31	B32	B33	B34	B35	B36	B37	B38
B41	B42	B43	B44	B45	B46	B47	B48
B51	B52	B53	B54	B55	B56	B57	B58
B61	B62	B63	B64	B65	B66	B67	B68
B71	B72	B73	B74	B75	B76	B77	B78
B81	B82	B83	B84	B85	B86	B87	B88

【0006】

【表2】

D11	D12	D13	D14	D15	D16	D17	D18
D21	D22	D23	D24	D25	D26	D27	D28
D31	D32	D33	D34	D35	D36	D37	D38
D41	D42	D43	D44	D45	D46	D47	D48
D51	D52	D53	D54	D55	D56	D57	D58
D61	D62	D63	D64	D65	D66	D67	D68
D71	D72	D73	D74	D75	D76	D77	D78
D81	D82	D83	D84	D85	D86	D87	D88

【0007】ここで、DCT係数 D_{11} は画素ブロックの直流成分、すなわち、この画素ブロックの平均値を示している。残りの交流成分 $D_{12} \sim D_{88}$ を一般に交流成分 D_{ij} と表現すると、交流成分 D_{ij} は、添字の i, j が大きいほど高い周波数成分に対応する。DCT回路6から出力されたDCT係数マトリクスは、量子化回路8へと入力される。

【0008】一方、量子化マトリクス発生回路18は、表3に示す定数 $W_{11} \sim W_{88}$ を要素とする量子化マトリクス W を発生する。量子化マトリクスの成分 $W_{11} \sim W_{88}$ は、それぞれ、DCT係数 $D_{11} \sim D_{88}$ に対する量子化ステップの重み付けを意味する。

【0009】

【表3】

4

W11	W12	W13	W14	W15	W16	W17	W18
W21	W22	W23	W24	W25	W26	W27	W28
W31	W32	W33	W34	W35	W36	W37	W38
W41	W42	W43	W44	W45	W46	W47	W48
W51	W52	W53	W54	W55	W56	W57	W58
W61	W62	W63	W64	W65	W66	W67	W68
W71	W72	W73	W74	W75	W76	W77	W78
W81	W82	W83	W84	W85	W86	W87	W88

10

【0010】スケーリング係数発生回路16では、スケーリング係数（制御係数） k が生成される。そして、これらの量子化マトリクス W およびスケーリング係数 k は、乗算器20へと入力される。乗算器20は、両者の積として、量子化ステップ $Q_{ij} = W_{ij} \times k$ を算出する。ここで、スケーリング係数 k は正の値である。量子化ステップ $Q_{11} \sim Q_{88}$ は、量子化マトリクスの成分 $W_{11} \sim W_{88}$ の間の比率を保ちつつ、全体にわたって、スケーリング係数 k に比例して増大あるいは減少する。このスケーリング係数 k の大きさを調整することによって、画質や、符号化後の信号量（すなわち符号量）が制御される。

【0011】量子化回路8では、量子化ステップ $Q_{11} \sim Q_{88}$ にもとづいて、DCT係数 $D_{11} \sim D_{88}$ に対する量子化が、それぞれ実行される。量子化回路8では、各要素ごとに D_{ij}/Q_{ij} が演算され、それぞれ、量子化係数 $R_{11} \sim R_{88}$ として出力される。量子化係数 $R_{11} \sim R_{88}$ は、ジグザグ変換回路10によって低周波成分から順に送出される。すなわち、ジグザグ変換回路10からは、量子化係数 $R_{11} \sim R_{88}$ が、 $R_{11}, R_{12}, R_{21}, R_{31}, R_{22}, R_{13}, R_{14}, R_{23}, R_{32}, R_{41}, \dots, R_{85}, R_{86}, R_{77}, R_{68}, R_{78}, R_{87}, R_{88}$ の順で可変長符号化（以下VLCという。）回路12へ供給される。

【0012】VLC回路12において、例えば、量子化係数の中の直流成分 R_{11} については、近傍に位置する画素ブロックの間で予測値が算出され、この予測値との予測誤差がハフマン符号化される。また、交流成分 $R_{12} \sim R_{88}$ については、上述のように低周波成分から高周波成分へとジグザグに走査されながら符号化される。

【0013】符号化の過程で、値が0でない量子化係数、すなわち有意係数は、その値によりグループ分類される。そして、分類されているグループに与えられているグループ識別番号と、直前の有意係数との間に挟まれた無効係数のラン長とを組にして、ハフマン符号化され、続いてグループ内のいずれの値であるかを示す等長符号が付加される。ここで、無効係数とは、値が0となる量子化係数を意味する。VLC回路12で得られた符

号化信号は、出力端子14を通じて、例えば記憶媒体、あるいは、通信媒体等の外部装置へと出力される。

【0014】一般に、画像の高周波成分は出現確率が低いので、ジグザグ走査後の量子化係数 R_{ij} の後半部分は、すべて0になることが多い。従って、このようにして得られた可変長符号については、非常に高い圧縮率が期待できる。上記したように、交流成分の符号化は、有意係数と、その有意係数に先行する無効係数のラン長との組合せを可変長符号化することによって遂行される。このため、高周波領域の量子化係数の中で、値がゼロになるものが多いほど、可変長符号化後の符号長（符号量）は短くなる。

【0015】したがって、量子化ステップを大きくして、無効係数を増やし、無効係数がより多く連続するようにすれば、それらの係数をまとめて一つの符号に変換できるので、符号量は減少する。スケーリング係数 k の値を大きくすると、それに比例して量子化ステップが大きくなり、量子化係数 R_{ij} が0となる確率が増加するので、符号量が減少する。符号長あるいは符号量は、符号化信号の総ビット数、すなわち符号化総ビット数で表現される。1画素ブロック当たりの符号量と、スケーリング係数 k との関係は、単純減少関数で表される。

【0016】ところで、画像を圧縮符号化した場合に、一般的に、細かい絵柄に対しては、符号量が大きく、滑らかな画像では小さくなるという傾向がある。このため、画像によって信号圧縮後の符号量が変化し、デジタル電子スチルカメラ等の応用において、画像を記録する記録媒体の容量が不足してしまうことがあるという不都合がある。

【0017】この不具合を解消するものとして、図7に示す装置が知られている。この従来装置152は、従来装置151（図6）におけるスケーリング係数発生回路16、量子化マトリクス発生回路18、および乗算器20に替えて、バッファメモリ13を備えている。バッファメモリ13は、VLC回路12と出力端子14の間に介挿され、VLC回路12から出力される符号化信号を一時的に記憶する。バッファメモリ13は、さらに、その使用状態、すなわち一時記憶される符号化信号の量に応じた量子化ステップを、乗算器20（図6）から出力される量子化ステップ Q_{ij} に替えて、量子化回路8に与える。それによって、絵柄に拘わらず、画面（フレーム）ごとの符号量が一定に保たれる。

【0018】しかしながら、この従来装置152では、一つの画面の中で、バッファメモリ13の使用状態に応じて、量子化ステップが逐次的に変化することから、画面全体にわたる最適な調整をすることができないという問題点があった。例えば、画面の上半分が平坦で下半分が細かい絵柄の画像信号が入力された場合には、画面の上半分の画像信号の符号化には、不必要なビットが割り

当てられる一方、下半分の画像信号の符号化には、十分

なビットを割り当てることができなくなり、画質が劣化してしまうという問題点があった。

【0019】一方、所望の符号量となるまで、複数の量子化ステップを用いて量子化を繰り返し、1画面当たりの符号量を所望の目標符号量未満に抑えるようにした画像符号化装置が知られている。図8および図9は、そのように構成された従来装置を示すブロック図である。図8と図9は、それぞれの符号70で示した一点鎖線の部分で互いに繋がる。

【0020】この従来装置153において、符号化の対象とされるデジタル形式の画像信号は、入力端子20を通じて、ブロック化回路22へ入力され、ここで二次元的に、 $8 \times 8 (=64)$ 画素からなる画素ブロックに分割される。DCT回路24は、このブロック化回路22から受けた画像信号を離散コサイン変換し、周波数領域についての、 8×8 個のDCT係数 $D_{11} \sim D_{88}$ を出力する。DCT回路24から出力されたDCT係数 $D_{11} \sim D_{88}$ は、ジグザグ変換回路26において、ジグザグ変換される。

【0021】一方、量子化マトリクス発生回路32は、表3に示した量子化マトリクス W を生成し、スケーリング初期係数発生回路38はスケーリング初期係数 k_1 を発生する。これらの量子化マトリクス W およびスケーリング初期係数 k_1 は、乗算器34aへと入力される。乗算器34aでは、両者の積として、量子化ステップ $Q_{ij} = W_{ij} \times k_1$ が算出される。

【0022】量子化回路28aでは、これらの量子化ステップ $Q_{11} \sim Q_{88}$ にもとづいて、DCT係数 $D_{11} \sim D_{88}$ に対する量子化が、それぞれ実行される。量子化回路28aでは、各要素ごとに D_{ij}/Q_{ij} が演算され、それぞれ、量子化係数 $R_{11} \sim R_{88}$ として出力される。

【0023】VLC回路36aは、量子化回路28aから出力される量子化係数 $R_{11} \sim R_{88}$ をハフマン符号化し、グループ内のいずれの値であるかを示す等長符号を付加する。つぎに、符号量計算回路40aは、VLC回路36aから出力された可変長符号化信号を1画面分累算して、1画面分の符号量 b_1 を求める。係数演算回路41aは、符号量計算回路40の計算結果に基づいて、スケーリング初期係数 k_1 とは異なる別のスケーリング係数 k_2 を生成する。

【0024】乗算器34bは、このスケーリング係数 k_2 と量子化マトリクス W との積を算出し、この積を量子化ステップとして、量子化回路28bへ付与する。そして、量子化回路28bから出力される量子化係数は、VLC回路36bによりハフマン符号化され、符号量計算回路40bで1画面分の符号量 b_2 が算出され、係数演算回路41bによって、さらに別のスケーリング係数 k_3 が生成される。以下同様の動作を繰り返すことにより、符号量計算回路40a～40dから、4種類のスケーリング係数 $k_1 \sim k_4$ にもとづく、4種類の符号量 b

1~b4が得られる。

【0025】係数演算回路41a~41cでは、符号量計算回路40a~40cで得られる1フレーム分の符号量b1~b3と所望の目標符号量とが比較され、その結果に応じて、スケーリング係数k2~k4の値が決定される。具体的には、例えば、係数演算回路41aでは、初期係数k1を用いて量子化した場合の符号量b1が、目標符号量よりも大きければ、スケーリング係数k2がk1よりも大きな値へと設定され、初期係数k1を用いて量子化した場合の符号量b1が、目標符号量よりも小

【0026】装置153には、各装置部で処理される信号に関して、画面間の整合をとるために、適宜、遅延回路が挿入されている。図8および図9において、記号“1FDL”~“4FDL”で表されたブロックは、それ

【0027】量子化回路28b~28eには、ジグザグ変換回路26の出力が、遅延回路30a~30dによって、順に1画面周期ずつ遅延された上で付与される。また、スケーリング初期係数発生部38で生成されたスケーリング初期係数k1、および、係数演算回路41a~41cで順次生成されたスケーリング係数k2~k4は、それぞれ、遅延回路43a~43dによって、4画面~1画面周期だけ遅延させられ、一斉同時に係数セ

【0028】また、符号量計算回路40a~40cからそれぞれ出力される符号量b1~b3は、遅延回路44a~44cによって、それぞれ、3~1画面周期だけ遅延させられた上で、符号量計算回路40dから出力される符号量b4とともに、一斉同時に係数決定回路45へと入力される。係数決定回路45は、符号量b1~b4にもとづいて、スケーリング係数k1~k4の中から、いずれを使用するかを決定する。係数セクタ47は、係数決定回路45の決定結果にもとづいて、スケーリング係数k1~k4の中から一つを選択し、選択された値を、スケーリング係数k5として、乗算器34eへと付与する。

【0029】乗算器34eは、最終的なスケーリング係数k5と、量子化マトリクスWとの積を算出し、この積を量子化ステップとして、量子化回路28eへ付与する。ジグザグ変換回路26から出力された信号は、最終的には、この量子化回路28eによって量子化される。量子化回路28eの出力は、VLC回路36eによってハフマン符号化され、出力端子50を通じて、外部装置

へと送出される。

【0030】以上のように、従来装置153は、符号量が目標符号量よりも多い場合には、スケーリング係数を増加させて量子化を行うことにより符号量を低減させ、逆に、符号量が目標符号量よりも小さい場合には、スケーリング係数を減少させて量子化を行うことにより符号量を増大させる。すなわち、スケーリング係数が順次変更されつつ、量子化が反復的に実行されることによって、最終的には1画面当たりの符号量が、目標符号量へと収束させられる。

【0031】しかしながら、従来装置153では、最適なスケーリング係数を求めるための量子化回路や、時間差を補償するための1~4画面分の信号の遅延を実現する遅延回路を多数必要とするため、回路規模が増大するという問題点があった。

【0032】

【発明が解決しようとする課題】以上のように、出力バッファの使用量に応じて、量子化ステップを同一画面の中で逐次的に変化させることによって、1画面分の符号量を一定とする技術では、画面全体にわたって最適な符号化を行うことができず、画質が劣化してしまうという問題点があった。他方、スケーリング係数を変えつつ、量子化を繰り返して行うことにより、1画面分の符号量を一定とする技術では、回路規模が大きなものになってしまうという問題点があった。

【0033】この発明は上記のような問題点を解消するためになされたもので、1画面全体にわたって画質を高く維持し、かつ、所定時間毎の符号量を適正化することができ、しかも、小規模回路で高速に処理するのに適した画像符号化装置を提供することを目的とする。

【0034】

【課題を解決するための手段】第1の発明の装置は、外部より入力された画像信号を、画面を分割して成る複数の画素ブロックの各々ごとに、周波数空間成分へと変換して得た第1変換信号、および当該第1変換信号に対し与えられた所定時間だけ遅延した第2変換信号を、並列に出力する変換信号出力手段と、量子化ステップを画面単位で制御する制御係数の初期値を用いて、前記第1変換信号を量子化することにより、第1量子化係数を得る第1量子化手段と、前記第1量子化係数を、与えられた複数種類のシフトビット数だけシフトし、複数のシフト信号を並列に出力するシフト手段と、を備える。当該装置は、さらに、前記複数のシフト信号が可変長符号化された際の符号量を、前記所定時間分だけ算出し、複数の符号量評価値としてそれぞれ出力する符号量演算手段と、前記複数の符号量評価値に応じて、前記符号量を与えられた目標符号量に近づけるため、前記制御係数を前記初期値より最適な値に更新する係数更新手段と、前記係数更新手段で更新された前記制御係数を用いて、前記第2の変換信号を量子化することにより、第2量子化係

数を得る第2量子化手段と、当該第2量子化係数に対して、可変長符号化を行うことにより、符号化信号を得る可変長符号化手段と、を備える。そして、当該可変長符号化手段は、前記複数の画素ブロックの各々ごとに前記可変長符号化を行う中で、1個の画素ブロック分の前記符号化信号の符号量が、与えられた上限値を超えると、その画素ブロックについては、その時点で符号化を打ち切る。

【0035】第2の発明の装置は、第1の発明の画像符号化装置において、前記複数の画素ブロックの各々ごとに前記上限値を設定し、前記可変長符号化手段へと付与するブロック符号量上限値算出手段を、さらに備え、当該ブロック符号量上限値算出手段は、前記複数の画素ブロックごとに、前記第1変換信号の信号量を算出し、当該信号量が多ければ前記上限値を高く、逆に少なれば低く設定する。

【0036】第3の発明の装置は、第1または第2の発明の画像符号化装置において、前記第2量子化係数の中で、与えられた基準周波数よりも周波数の高い領域に存在する孤立係数に対しては、無効係数へ変更した上で、前記第2量子化係数を前記可変長符号化手段へと供給する孤立係数無視手段を、さらに備える。

【0037】第4の発明の装置は、第1ないし第3のいずれかの発明の画像符号化装置において、前記所定時間が、1画面周期であり、前記係数更新手段は、前記複数の符号量評価値の中から、前記目標符号量に最も近い値の符号量評価値を検出し、検出された当該符号量評価値に対応する前記複数の種類のシフトビット数の一つに相当する倍率の逆数を、前記初期値に乘じた値へと、前記制御係数を更新する。

【0038】第5の発明の装置は、第1ないし第3のいずれかの発明の画像符号化装置において、前記所定時間が、1画面周期であり、前記係数更新手段は、前記複数の種類のシフトビット数に相当する倍率の逆数を、それぞれ前記初期値に乘じて得られる複数の係数と、前記複数の符号量評価値との間を、近似的に規定する関数関係から、前記目標符号量に相当する係数を算出し、算出された当該係数へと前記制御係数を更新する。

【0039】

【発明の実施の形態】<実施の形態1>図1は実施の形態1の画像符号化装置の構成を示すブロック図である。この装置101では、符号化対象としてのデジタル形式の画像信号は、入力端子20を通じて、外部からブロック化回路22へと入力される。入力された画像信号は、ブロック化回路22において、二次元的に、 8×8 (=64)画素からなる画素ブロックに分割される。ブロック化回路22は、この画素ブロック単位で後段に画像信号を送出する。

【0040】DCT回路24は、ブロック化回路22から受けた画像信号を、離散コサイン変換し、周波数空間

における成分としての、 8×8 (=64)個のDCT係数を出力する。すなわち、表1に示した画像信号 $B_{11} \sim B_{88}$ からなる画素ブロックが、DCT回路24により、表2に示すような離散コサイン係数(DCT係数) $D_{11} \sim D_{88}$ を要素とするDCT係数マトリクスへと変換される。

【0041】DCT回路24から出力されたDCT係数マトリクスは、ジグザグ変換回路26へと入力される。ジグザグ変換回路26は、図6のジグザグ変換回路10と同様の動作を行い、DCT係数 $D_{11} \sim D_{88}$ を、DCT係数 $D_{11}, D_{12}, D_{21}, D_{31}, D_{22}, D_{13}, D_{14}, D_{23}, D_{32}, D_{41} \dots D_{85}, D_{86}, D_{77}, D_{68}, D_{78}, D_{87}, D_{88}$ の順で出力する。

【0042】量子化マトリクス発生回路32は、前述した 8×8 個の成分 $W_{11} \sim W_{88}$ を有する量子化マトリクス W を生成する。但し、装置101では、量子化回路28a、28bの各々には、既にジグザグ走査された信号が入力されるので、量子化マトリクスの成分 $W_{11} \sim W_{88}$ も、ジグザグ走査に対応した順序で生成され、乗算器34a、34bへと供給される。

【0043】乗算器34aには、スケーリング初期係数発生回路38より、スケーリング係数(制御係数)の初期値としてのスケーリング初期係数 k_1 が供給される。そして、乗算器34aは、両者の積として、量子化ステップ $Q_{1ij} = W_{ij} \times k_1$ を算出し、量子化回路28aへと入力する。その結果、量子化回路28aでは、スケーリング初期係数 k_1 にもとづく量子化係数 $R_{111} \sim R_{188}$ が得られる。これらの量子化係数 $R_{111} \sim R_{188}$ は、ビットシフト回路29へと入力される。

【0044】ビットシフト回路29では、量子化係数 $R_{111} \sim R_{188}$ が、予め定められたビット数(シフトビット数) m_1, m_2, m_3, m_4 だけ、それぞれ右にシフトされる。ビットシフト回路29におけるシフト幅を規定するシフトビット数 $m_1 \sim m_4$ は、この装置101が用いられるアプリケーション、例えば、処理対象とされる画像の種類、あるいは、圧縮符号化された信号を取り扱う記憶装置、蓄積装置などの記憶容量等に相応して、それぞれ適した値に設定される。

【0045】例えば、上記では、シフトビット数として、 $-4 \sim 4$ の範囲を例示したが、アプリケーションによっては、それ以外の値を取った方がよい場合もある。そこで、あらかじめ実験を行って、アプリケーションに応じた最適値を求めておき、これをデフォルト値として初期設定するとともに、動作時に適宜に変更できるように、装置101を構成してもよい。

【0046】表4～表7に、JPEG符号化方式におけるハフマン符号の一例を示す。

【0047】

【表4】

1 1

1 2

グループ番号	DC係数差分值	付加ビット数
0	0	0
1	-1,1	1
2	-3,-2,2,3	2
3	-7...-4,4,...7	3
4	-15...-8,8...15	4
5	-31...-16,16...31	5
6	-63...-32,32...63	6
7	-127...-64,64...127	7
8	-255...-128,128...255	8
9	-511...-256,256...511	9
10	-1023...-512,512...1023	10
11	-2047...-1024,1024...2047	11
12	-4095...-2048,2048...4095	12
13	-8191...-4096,4096...8191	13
14	-16383...-8192,8192...16383	14
15	-32767...-16384,16384...32767	15

【0048】

* 【0049】

【表5】

【表6】

グループ番号	符号長	符号語
0	2	00
1	3	010
2	3	011
3	3	100
4	3	101
5	3	110
6	4	1110
7	5	11110
8	6	111110
9	7	1111110
10	8	11111110
11	9	111111110

20

*

グループ番号	AC係数差分值	付加ビット数
0	0	0
1	-1,1	1
2	-3,-2,2,3	2
3	-7...-4,4,...7	3
4	-15...-8,8...15	4
5	-31...-16,16...31	5
6	-63...-32,32...63	6
7	-127...-64,64...127	7
8	-255...-128,128...255	8
9	-511...-256,256...511	9
10	-1023...-512,512...1023	10
11	-2047...-1024,1024...2047	11
12	-4095...-2048,2048...4095	12
13	-8191...-4096,4096...8191	13
14	-16383...-8192,8192...16383	14
15	-32767...-16384,16384...32767	15

【0050】

【表7】

ラン長/グループ番号	符号長	符号語
0/0	4	1010
0/1	2	00
0/2	2	011
0/3	3	100
...
0/9	16	111111110000010
0/10	16	111111110000011
1/1	4	1100
1/2	5	11011
...
1/9	16	111111110000111
1/10	16	111111110001000
2/1	5	11100
2/2	8	111110
...
2/10	16	111111110001110
3/1	6	111010

【0051】量子化係数のうち、直流成分（DC係数）は、表4に従ってグループ化されて、グループ番号が決定される。そのグループ番号に対して、表5のような符号表により、可変長符号化される。このようにして決まった符号語と、同一のグループ中の各DC係数を区別するための付加ビットとを連結させたものが符号化信号となる。

【0052】例えば、DC係数の差分値が“5”ならば、表4により、グループ番号“3”が割り当てられ、付加ビットは“101”となる。表5より、グループ番号3の符号語は“100”となる。従って、この場合の符号化信号は、“100101”となる。

【0053】量子化係数のうち、交流成分（AC係数）は、表6に従ってグループ化されて、グループ番号が決定される。値が0でない量子化係数、すなわち有意係数は、そのグループ番号と、直前の有意係数との間に挟まれた値が0の量子化係数、すなわち無効係数のラン長との組に対して、表7のような符号表により、可変長符号化される。このようにして決まった符号語と、同一のグループ中の各量子化係数を区別するための付加ビットとを連結させたものが符号化信号となる。

【0054】例えば、AC係数の値が“2”で、無効係数のラン長が“1”ならば、表6により、グループ番号“2”が割り当てられ、付加ビットは“10”となる。表7より、ラン長が1でグループ番号が2である符号語は、“11011”となる。従って、この場合の符号化信号は、“1101110”となる。

【0055】このような仕組みで符号化されるので、DC係数の場合は、グループ番号が決まると、1つのDC係数に対する符号量、（すなわち、符号語のビット数＋付加ビット数）は一意に決まる。AC係数の場合は、無効係数のラン長とグループ番号の組み合わせが決まると、AC係数全体に対する符号量は一意に決まる。いずれにせよ、1画素ブロック当たりの符号量、すなわち、1画素ブロック当たりの符号化信号の総ビット数を求め

る際には、量子化係数の値それ自体は重要ではなく、グループ番号（およびAC係数の無効係数のラン長）が分かれば良い。

【0056】この実施の形態1では、ビットシフト回路29におけるシフトビット数（ $m1$ 、 $m2$ 、 $m3$ 、 $m4$ ）として、4、3、2、1、0、-1、-2、-3、-4の値を取り得る例を示すが、一般には、アプリケーション等に応じて、取り得る値の範囲を変更しても良い。ビットシフト回路29におけるシフトビット数が、4、3、2または1の場合、量子化係数が、それぞれ、1/16倍、1/8倍、1/4倍または1/2倍される。つまり、スケーリング係数を、それぞれ、16倍、8倍、4倍または2倍したときと同一の量子化係数が得られ、グループ番号も、それぞれ、同一のものとなる。

【0057】ビットシフト回路29におけるシフトビット数が、-4、-3、-2または-1の場合、量子化係数が、それぞれ、16倍、8倍、4倍または2倍される。この場合、スケーリング係数を、それぞれ、1/16倍、1/8倍、1/4倍または1/2倍したときと同一の量子化係数が得られるとは限らないが、グループ番号は、それぞれ、1/16倍、1/8倍、1/4倍または1/2倍したときと同一のものとなる。

【0058】ビットシフト回路29におけるシフトビット数が、0の場合、量子化係数は、変更されないそのままの値で得られる。これは、スケーリング係数をそのまま用いたときの量子化係数に相当する。このように、ビットシフト回路29により、スケーリング係数を様々に変えて複数の量子化器で相異なる量子化ステップを用いて量子化を行った場合と、符号化後の符号量に関して、実質的に同等の効果が得られる。ビットシフト回路29により、それぞれ $m1$ 、 $m2$ 、 $m3$ 、 $m4$ ビットだけ右シフトされた信号は、互いに並列に、VLC回路36a～36dへとそれぞれ入力され、ここで可変長符号化される。

【0059】VLC回路36a～36dの出力、すなわち符号化信号は、符号量計算回路40a～40dへそれぞれ入力され、符号量が1画面分累算され、1画面当たりの符号量（すなわち、1画面当たりの符号化信号の総ビット数）の評価値 $b1$ ～ $b4$ が求められる。符号量評価値 $b1$ ～ $b4$ は、係数更新回路42に入力される。ここで、VLC回路36a～36dおよび符号量計算回路40a～40dは、それぞれのシフト信号に対応する符号量を得るために、複数のシフト信号をエンタロピー符号化して可変長符号を割り付けて符号化した際の符号量を画面単位で演算する符号量演算手段61を構成する。

【0060】装置101には、各装置部で処理される信号に関して、画面間の整合をとるために、適宜、遅延回路が挿入されている。図1（および後述する図4）において、記号“1FDL”で表されたブロックは、1画面（フレーム）周期の遅延を、入力された信号にもたらす

遅延回路を表している。したがって、遅延回路44は、初期係数発生回路38が出力したスケーリング初期係数 k_1 を、1画面周期だけ遅延する。これにより、スケーリング初期係数 k_1 に対応する符号量評価値 $b_1 \sim b_4$ とスケーリング初期係数 k_1 とが、同一のタイミングで、スケーリング係数更新回路42に入力される。

【0061】スケーリング係数更新回路42は、符号量評価値 $b_1 \sim b_4$ のうち、所望の目標符号量未満で、しかも、最も目標符号量に近い符号量を検知する。その符号量に対応するビットシフト回路29におけるシフトビット数が m であるとき、スケーリング初期係数 k_1 を m ビット左シフトしたものが、制御係数 k_2 として出力される。

【0062】スケーリング係数更新回路42は、より望ましくは、図2に示す要領で、スケーリング係数 k_2 を決定する。すなわち、 $m_1 \sim m_4$ ビットのシフトに、それぞれ対応するスケーリング係数 $k_{m_1} \sim k_{m_4}$ と、符号量 $b_1 \sim b_4$ とによって、図2の曲線に示すような関係が設定される。そして、目標符号量 n_b に相当する曲線上の値として、スケーリング係数 k_2 が算出される。これによって、スケーリング係数 k_2 は、一層望ましい値として決定される。

【0063】もう一つの遅延回路30は、ジグザグ変換回路26の出力を、1画面周期だけ遅延する。スケーリング係数更新回路42が出力するスケーリング係数 k_2 は、このスケーリング係数 k_2 を得るために用いられた1画面分の変換信号が、量子化回路28bに入力されるタイミングで、乗算器34bに入力される。ここで、ブロック化回路22、DCT回路24、ジグザグ変換回路26、および、遅延回路30は、画像信号を周波数空間の成分に変換して得た変換信号を、相互に1画面周期の遅延を持つ2つの変換信号に分岐して、並列に出力する変換信号出力手段60を構成する。

【0064】乗算器34bでは、量子化ステップ $Q_{ij} = W_{ij} \times k_2$ が演算されて、量子化回路28bへと入力される。すなわち、量子化回路28bでは、同一の画面について、最終的な量子化が行われる。量子化回路28bで得られた量子化係数 R_{2ij} は、VLC回路36eへ供給される。VLC回路36eは、最終的な可変長符号化を行い、得られた符号化信号を、出力端子50を通じて、外部装置へと出力する。

【0065】DCT回路24の出力またはジグザグ変換回路26の出力(図1の例では、DCT回路24の出力)とVLC回路36eとの間に介挿されるブロック符号量上限値付与回路46は、画素ブロックごとのDCT係数の信号量に応じて、画素ブロックごとの符号量の上限値を算出する。

【0066】例えば、画素ブロックでの画像の動きが大きいことを反映して、信号量が大きい画素ブロックに対しては、あらかじめ設定される基準値よりも大きい値

(例えば、1.5倍)に上限値が設定される。また、画像の動きが通常程度であって信号量が中間程度である画素ブロックに対しては、基準値通りに上限値が設定される。画像の動きが小さく、信号量が小さい画素ブロックに対しては、基準値よりも小さい値(例えば、0.8倍)に上限値が設定される。

【0067】しかも、画素ブロックごとの上限値は、それらの1画面にわたる総和が、1画面分の目標符号量に一致するように、または、以下になるように決定される。ブロック符号量上限値付与回路46には、1画面分のすべての画素ブロックに関するDCT変換後のDCT係数が入力されるので、ブロック符号量上限値付与回路46は、上限値をブロックごとに個別に設定することが可能となる。設定された上限値は、VLC回路36eへと付与される。

【0068】VLC回路36eは、1つの画素ブロックについての可変長符号化を遂行する中で、符号量がブロック符号量上限値付与回路46から供給される上限値を越えたときに、図3に示すように、符号"EOF"("1010"で表現される)を出力することにより、符号化を打ち切る。

【0069】図3(a)は、1つの画素ブロックに対して、可変長符号化を、打ち切りなしに実行したときの符号化信号の一例を示している。そして、図3(b)は、図3(a)と同一の符号化信号に対して、先頭からビットの符号化が終了した時点で、打ち切りを実行したときの符号化信号の一例を示している。符号化されずに切り捨てられた信号は、ある程度以上の高周波成分であるため、符号化の打ち切りによる画質の低下は、視覚の上では、ほとんど問題にはならない。

【0070】上記では、ブロック符号量上限値付与回路46では、DCT係数の1画素ブロック当たりの信号量に応じて、上限値が設定される望ましい例を示したが、信号量にかかわらず、あらかじめ設定される一定の基準値が、上限値としてVLC回路36eへ付与されてもよい。この一定の基準値は、1画面分の目標符号量を、1フレーム内の画素ブロックの個数で割った値として決定される。

【0071】装置101は、以上のように構成され、動作するので、スケーリング係数の最適値を求める際に、単一の量子化回路28aしか用いなくて済み、また、遅延回路も少なく済み。すなわち、装置101では、高速の処理が、小規模回路で実現する。しかも、符号化後の信号量、すなわち符号量が、所望の目標符号量未満に確実に収まり、しかも、この目標符号量にきわめて近い値となる。

【0072】図2に示した要領でスケーリング係数 k_2 が設定される場合には、スケーリング係数更新回路42で設定される図2の関数関係の精度によっては、VLC回路36eにおいて、符号化打ち切り前の符号量が、必

ずしも目標符号量 n_b 以下に収まらない場合も有り得る。また、スケーリング係数 k_2 としてスケーリング係数 $k_{m1} \sim k_{m4}$ のいずれかが選択される場合には、符号量が目標符号量のある程度上回るが、目標符号量に最も近い符号量が得られるように、スケーリング係数 k_2 を設定することが、画質の向上の観点からは、望ましい場合がある。

【0073】このような場合においても、出力端子50を通じて出力される符号化信号の符号量は、VLC回路36eの符号化打ち切り機能によって、目標符号量以下に抑えられる。すなわち、VLC回路36eは、スケーリング係数更新回路42における係数決定の動作を、画質の向上の観点から、より柔軟なものとするを、可能にする。

【0074】特に、ブロック符号量上限値付与回路46が、ブロックごとに基準値を個別に付与するときには、各画素ブロックにおける画像の動きに応じた、適切な符号量の設定が行われるので、画質のさらなる向上を図りつつ、最終的に得られる符号化信号の符号量を、目標符号量以下に抑えることが可能となる。

【0075】＜実施の形態2＞図4は、実施の形態2の画像符号化装置の構成を示すブロック図である。この装置102は、孤立係数無視回路48が備わる点で、装置101とは特徴的に異なっている。孤立係数無視回路48は、量子化回路28bとVLC回路36eとの間に介挿され、量子化回路28bから出力される量子化係数 R_{2ij} の中で、ある周波数以上の孤立係数（無効係数に挟まれた有効係数）を強制的に無効係数に変更する。

【0076】図5は、量子化係数 R_{2ij} の一例を示している。図5では、量子化係数 R_{2ij} は、それらを成分とするマトリクスの形式を構成するように並べて表示されている。二本の矢印に沿った方向に位置する係数ほど、より高い周波数成分に対応する。図5には、また、値が“2”、“1”である2個の孤立係数が例示されている。

【0077】例えば、マトリクスの右上端から左下端までを結ぶ対角線に対応する周波数を、基準周波数とし、この基準周波数よりも周波数が高い領域、すなわち対角線よりも右下側の領域に存在する孤立係数の値（図5の例では“2”、“1”）が、強制的に0へと変更される。これによって、符号化信号の信号量、すなわち、符号量が、さらに低減される。

【0078】無効係数に変更されるのは、孤立係数のみであり、2個以上連続する有効係数は、変更の対象外とされる。このため、基準周波数のある程度高い値に設定することによって、孤立係数無視回路48が備わることによる画質の低下を、視覚の上で、ほとんど問題にならない程度に抑えることが可能である。

【0079】装置102においても、装置101と同様に、スケーリング係数更新回路42は、目標信号量のある程度上回るが、目標符号量に最も近い符号量が得られ

るようにスケーリング係数を設定することも可能である。スケーリング係数更新回路42がこのように構成された装置においても、VLC回路36eにおける符号化打ち切り動作によって、最終的に得られる符号化信号の符号量を、目標符号量以下に抑えることが可能である。特に、孤立係数無視回路48が備わるために、孤立係数無視回路48による符号量節減の効果も、スケーリング係数更新回路42の判断の中に、あらかじめ織り込むことができる。

【0080】＜変形例＞

(1) 装置101、102では、VLC回路36a～36dで可変長符号化が行われ、その結果にもとづいて、符号量計算回路40a～40dによる符号量の算出が行われたが、符号量を求める際には、必ずしも符号化が行われることを要しない。したがって、VLC回路36a～36dを、符号化信号量のみを算出する4個の符号長算出回路へと置き換えることも可能である。

【0081】各符号長算出回路には、それぞれビットシフト回路29により $m_1 \sim m_4$ ビット右シフトされた変換信号が入力される。そして、入力された変換信号についてDC係数差分値のグループ化、およびAC係数のグループ化が行われ、符号量が算出される。符号化が行われなくても、グループ化が行われれば、符号量の算出は可能である。符号量演算手段61が、このように構成されることにより、装置101、102に比べて、さらに、回路規模を縮小することが可能となる。

【0082】(2) 装置101、102では、スケーリング初期係数 k_1 と量子化マトリクス W とを乗算して、量子化回路28aに供給すべき量子化ステップを算出した。しかしながら、スケーリング初期係数 $k_1 = 1$ として、スケーリング初期係数発生回路38と乗算器34aを除去し、量子化マトリクス M の値をそのまま用いて、量子化回路28aで量子化を行うように、装置を構成することも可能である。それによって、スケーリング初期係数発生回路38と乗算器34aの分だけ、回路構成がさらに簡略化される。

【0083】このように構成された装置においても、ビットシフト回路29におけるシフトビット数 $m_1 \sim m_4$ のそれぞれについて、正または負のバイアス値を付与することによって、スケーリング初期係数 k_1 が、2、4、8、…、あるいは、 $1/2$ 、 $1/4$ 、 $1/8$ 、…の値、すなわち、2のべき乗に設定された装置と同等に、ビットシフト回路29の出力が得られる。ただし、スケーリング初期係数 k_1 として、2のべき乗だけでなく、それらの間の値をも自由に設定し得る点では、装置101、102は優れているといえる。

【0084】(3) 装置101、102では、符号量、すなわち可変長符号化後の信号量として、1画面分の符号量が算出されたが、例えば、1画面分より少なくてもまた、多くてもよく、算出された符号量にもとづいて、1

画面分の符号量を推定するように装置を構成してもよい。このように構成された装置においても、推定の精度に応じて、装置101、102と相応の効果が得られる。

【0085】

【発明の効果】第1の発明の装置では、シフト手段によって第1量子化係数が複数種類の所定シフトビット数だけシフトされることによって、乗算器等を用いることなく、しかも、第1量子化手段が単一であるにも関わらず、複数の制御係数にもとづく所定時間分の符号量を、符号量評価値として得ることができる。そして、最適化された制御係数を用いて、第2量子化手段と可変長符号化手段とによって、最終的な量子化、および、可変長符号化が行われる。

【0086】しかも、可変長符号化手段によって、画素ブロックの各々ごとに、1画素ブロック分の符号化信号の符号量が上限値を超えた時点で、その画素ブロックについての符号化が打ち切られる。このため、1画面にわたって、画質が全体に高く維持されるとともに、所定期間毎の符号量が目標符号量以下に抑えられる。しかも、この効果を、小規模回路で実現することができる。

【0087】第2の発明の装置では、ブロック符号量上限値算出手段によって、画素ブロックごとに、第1変換信号の信号量の多寡に応じて、上限値が設定されるので、画質が、さらに良好に維持される。

【0088】第3の発明の装置では、孤立係数無視手段が備わるので、視覚上の画質の劣化をほとんど生起することなく、符号化信号の符号量が低減される。

【0089】第4の発明の装置では、所定時間が1画面周期であるために、1画面分の符号量が目標符号量以下に抑えられる。しかも、係数更新手段において、目標符号量に最も近い値の符号量評価値にもとづいて、最終的

な量子化に供される制御係数が設定されるので、画質が向上する。

【0090】第5の発明の装置では、所定時間が1画面周期であるために、1画面分の符号量が目標符号量以下に抑えられる。しかも、係数更新手段において、最終的な量子化に供される制御係数が、近似的な関数関係にもとづく目標符号量に対応する値として設定されるので、画質が向上する。

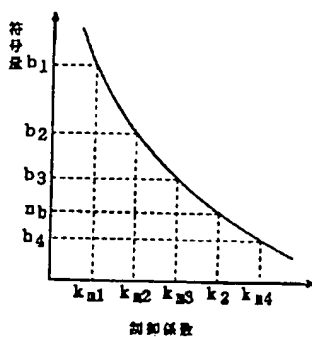
【図面の簡単な説明】

- 10 【図1】 実施の形態1の装置のブロック図である。
 【図2】 実施の形態1のスケーリング係数更新回路の動作説明図である。
 【図3】 実施の形態1のVLC回路の動作説明図である。
 【図4】 実施の形態2の装置のブロック図である。
 【図5】 実施の形態2の孤立係数無視回路の動作説明図である。
 【図6】 従来の装置の第1の例のブロック図である。
 【図7】 従来の装置の第2の例のブロック図である。
 20 【図8】 従来の装置の第3の例のブロック図である。
 【図9】 従来の装置の第3の例のブロック図である。

【符号の説明】

22 ブロック化回路、24 DCT回路、26 ジグザグ変換回路、28a、28b 量子化回路、29 ビットシフト回路、30、44 遅延回路、32量子化マトリックス発生回路、34a、34b 乗算器、36a～36e 可変長符号化回路、37a～37d 符号長算出回路、38 スケーリング初期係数発生回路、40a～40d 符号量計算回路、42 スケーリング係数更新回路、60 変換信号出力手段、61 符号量演算手段。

【図2】



【図3】

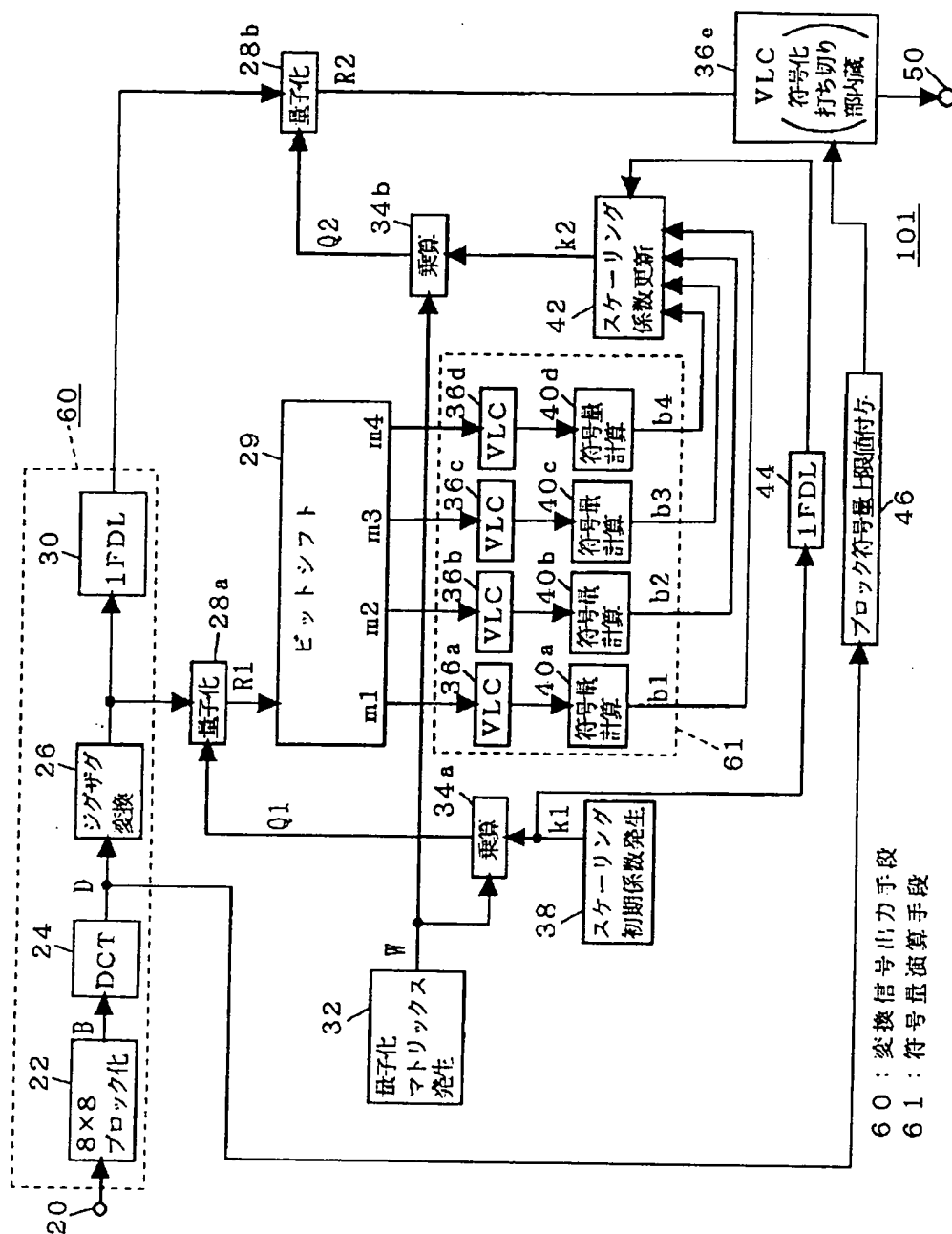
(a) フルに符号化した場合の符号化信号

1111110011100010011000111011100111101111011100011001001111011111000100011011101010110
 Uビット (符号化量の上限值)

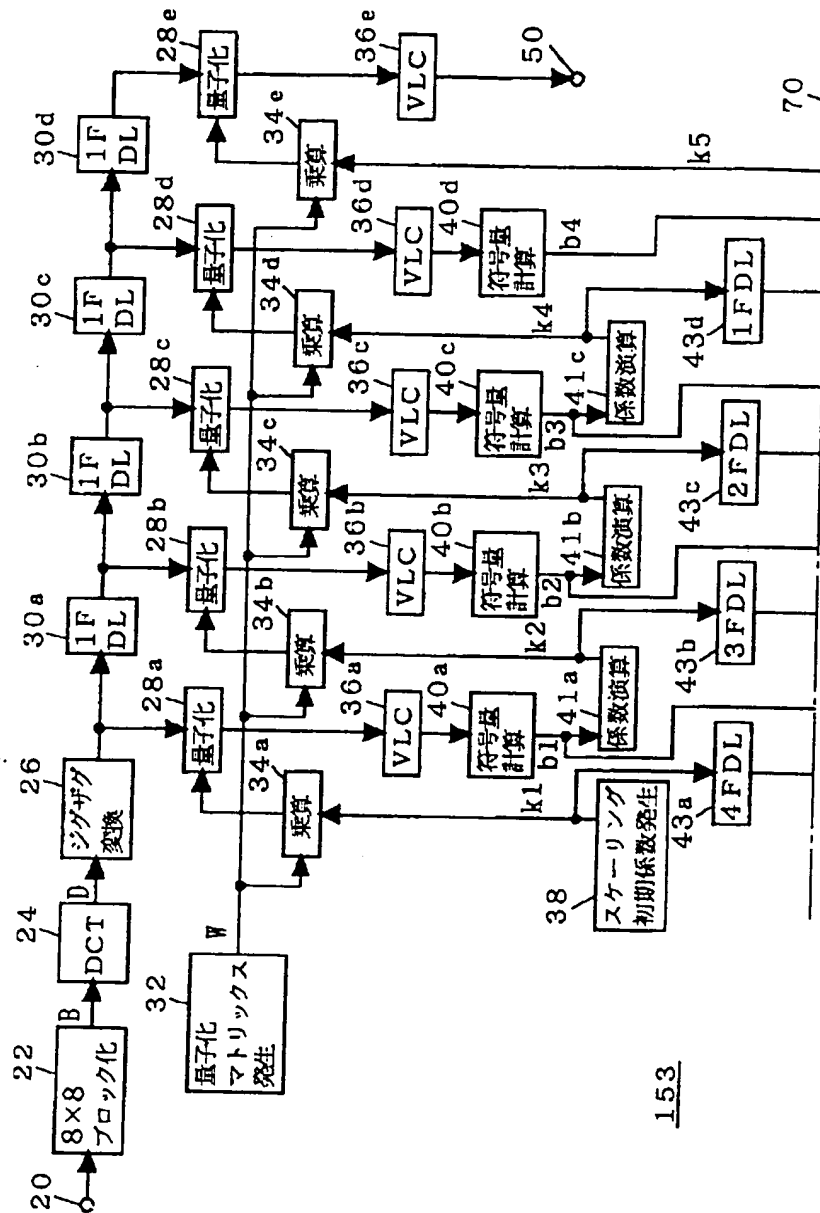
(b) 符号化の打ち切りをした場合の符号化信号

1111110011100010011000 1010
 [1010:203]
 Uビット (符号化量の上限值)

【図1】



153



【図9】

